不同栅压应力下1.8V pMOS热载流子退化机理研究

刘斯扬[1],于朝辉[1],张春伟[1],孙伟锋[1],苏 巍[2],张爱军[2],刘玉伟[2],吴世利[2],何骁伟[2]
(1. 东南大学国家专用集成电路系统工程技术研究中心,江苏南京 210096;2. 华润上华半导体有限公司,江苏无锡 214000)

摘 要: 本文详细研究了不同栅压应力下1.8V pMOS器件的热载流子退化机理. 研究结果表明,随着栅压应力增加,电子注入机制逐渐转化为空穴注入机制,使得pMOS漏极饱和电流(I_{dsat})、漏极线性电流(I_{dlin})及阈值电压(V_{th})等性能参数退化量逐渐增加,但在$V_{gs}=90\% * V_{ds}$时,因为没有载流子注入栅氧层,使得退化趋势出现转折. 此外,研究还发现,界面态位于耗尽区时对空穴迁移率的影响小于其位于非耗尽区时的影响,致使正向I_{dsat}退化小于反向I_{dsat}退化,然而,正反向I_{dlin}退化却相同,这是因为I_{dlin}状态下器件整个沟道区均处于非耗尽状态.

关键词: 热载流子; 不同栅压应力; 正反向退化
中图分类号: TN386.1 **文献标识码:** A **文章编号:** 0372-2112 (2016)02-0348-05
电子学报URL: http://www.ejournal.org.cn **DOI:** 10.3969/j.issn.0372-2112.2016.02.015

Investigation on the Hot-Carrier-Induced Degradation for 1.8V pMOS Under Different Gate Voltage Stresses

LIU Si-yang[1], YU Chao-hui[1], ZHANG Chun-wei[1], SUN Wei-feng[1], SU Wei[2], ZHANG Ai-jun[2], LIU Yu-wei[2], WU Shi-li[2], HE Xiao-wei[2]
(1. *National ASIC System Engineering Technology Research Center, Southeast University, Nanjing, Jiangsu* 210096, *China*;
2. *CSMC Technologies Corporation, Wuxi, Jiangsu* 214000, *China*)

Abstract: According to the experimental measurement results, combining with the technology computer aided design (TCAD) simulations, the hot-carrier degradations of 1.8V pMOS under different gate voltages are investigated in this paper. The results show that, with the gate voltage increasing, the electron injection mechanism changes to the hole injection mechanism, leading to the increases of the saturation drain current (I_{dsat}), linear drain current (I_{dlin}) and threshold voltage (V_{th}). However, because there is not any carrier injection, the degradation trend begins to change at $V_{gs}=90\% * V_{ds}$. Moreover, the study also discovers that the generated interface states have more impact on the hole mobility in the depletion region than that in the non-depletion region. As a result, the degradation of forward I_{dsat} is bigger than the degradation of reverse I_{dsat}. However, the degradations of forward I_{dlin} and reverse I_{dlin} are same since the whole channel is not depleted under I_{dlin} condition.

Key words: hot-carrier; different gate voltage stresses; forward and reverse degradations

1 引言

随着器件尺寸不断缩小,电源电压并未随之等比减小,这就导致沟道区的横向和纵向电场显著增加[1,2]. 强电场使小尺寸器件的热载流子效应非常严重,制约了电路的可靠性和寿命. n型金属氧化物半导体晶体管(nMOS)因其热载流子效应严重而得到了广泛的研究,而p型金属氧化物半导体晶体管(pMOS)因其热载流子效应相对较弱而被人们所忽视. 但是随着器件尺寸减小,pMOS器件的热载流子退化已经严重影响了器件和芯片的寿命[3-5],所以,需要对小尺寸pMOS器件的热载流子效应有更多的关注和研究.

目前,对pMOS器件热载流子效应的研究多关注于某一应力情况下pMOS热载流子退化机理及其退化模

收稿日期:2014-06-19;修回日期:2014-11-14;责任编辑:蓝红杰
基金项目:航空科学基金(No.20122469);东南大学无锡分校科研引导资金

型的研究[6~10],尚未有关于 pMOS 器件热载流子退化的系统性研究. 本文系统性的研究了 1.8V 低压 pMOS 在不同栅压应力下的热载流子退化机理,并解释了造成不同栅压应力下热载流子退化现象不同的原因;此外,对 pMOS 在高栅压应力下正反向漏极饱和电流(I_{dsat})和漏极线性电流(I_{dlin})的特殊退化趋势进行了研究. 本文的研究为小尺寸 pMOS 器件热载流子可靠性寿命模型的研究也提供了支持和参考.

2　实验说明

本文中所研究的器件为带有 LDD(Lightly Doped Drain)的 1.8V pMOS,其剖面示意图如图 1 所示. 该器件的阈值电压(V_{th})为 -0.7V,工作时的漏源电压(V_{ds})和栅源电压(V_{gs})均为 -1.8V,关态击穿电压(BV)为 -4V. 实验中固定器件漏端加速应力电压为 V_{ds} = -2.8V,从低栅压到高栅压选取不同的栅压应力(V_{gs} = -1.15V、-1.3V、-1.5V、-1.7V、-2V、-2.2V、-2.4V、-2.5V、-2.6V、-2.7V、-2.8V)来研究该器件不同栅压应力下的热载流子退化情况. 应力过程中对器件的正反向漏极饱和电流 I_{dsat}(测试条件为 V_{ds} = V_{gs} = -1.8V)、正反向线性电流 I_{dlin}(测试条件为 V_{ds} = -0.1V,V_{gs} = -1.8V)及阈值电压 V_{th}(在 V_{ds} = -0.1V 条件下根据最大跨导法提取得到)的退化情况进行了监测. 需要说明的是上述反向电流指 pMOS 源漏互换后所检测到的漏极电流.

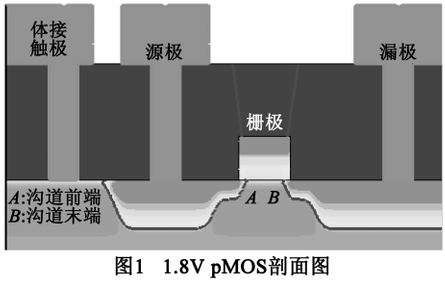


图1　1.8V pMOS剖面图

3　不同栅压应力时 pMOS 退化机理研究

最大衬底电流应力下(V_{gs} = -1.15V,I_{submax}),pMOS 的 I_{dsat}、I_{dlin} 及 V_{th} 退化情况如图 2 所示. 可以看出,I_{dsat}、I_{dlin} 随着时间的增加先增加后减小,而 V_{th} 绝对值却随着时间的增加先减小后增加.

为了研究 pMOS 在 I_{submax} 条件下的退化机理,采用 Sentaurus 软件对 pMOS 器件表面的碰撞电离率和垂直电场进行了仿真. 图 3 为 pMOS 在 I_{submax} 应力时器件表面碰撞电离分布和垂直电场分布情况. 从仿真结果可以看出,沟道末端的碰撞电离率最大,且其垂直电场方向为正(电场指向器件体内). 强碰撞电离产生的具有高能量的热电子,在垂直电场的作用下注入栅氧化层并被电荷陷阱俘获,从而导致在应力初始阶段 V_{th} 绝对值减小,且因为注入的热电子在栅氧下方感应空穴,增加了空穴浓度,结果使得 I_{dsat} 和 I_{dlin} 增加. 然而,随着注入到氧化层中热电子的积累,陷阱电荷势垒随之增大,阻止了电子的进一步注入,注入量呈现饱和趋势,这解释了 V_{th}、I_{dsat} 和 I_{dlin} 的退化在一定时间后开始饱和的现象. 再者,在沟道末端的强碰撞电离区内界面态随着应力时间的增加而不断增加,最终会主导器件的退化,而界面态提高了空穴散射概率,降低了空穴迁移率,I_{dsat} 和 I_{dlin} 会逐渐减小,同时显正电性的界面态使 V_{th} 绝对值增加. 注入电子与界面态相反的作用效果,使得 pMOS 在 I_{submax} 应力时表现出较小的退化量.

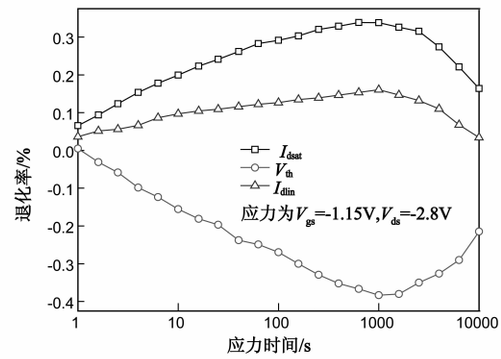


图2　I_{submax}应力下pMOS不同性能参数退化趋势

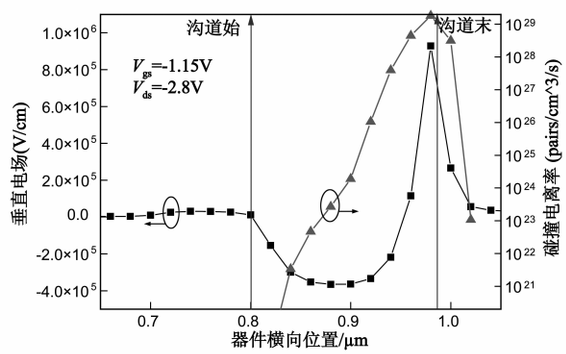


图3　I_{submax}应力时pMOS碰撞电离和垂直电场分布图

最大栅压应力下(V_{gs} = -2.8V,V_{gmax}),pMOS 的 I_{dsat}、I_{dlin} 和 V_{th} 的退化情况如图 4 所示. 可以看出,与 I_{submax} 应力下退化趋势不同的是,I_{dsat} 和 I_{dlin} 随时间逐渐减小,而 V_{th} 绝对值随时间逐渐增加.

图 5 为 V_{gmax} 应力下 pMOS 器件表面碰撞电离分布和垂直电场分布图. pMOS 沟道末端因碰撞电离较大,为主要退化区域. 在此区域内,有利的纵向电场方向使得热空穴注入栅氧化层,造成参数 I_{dsat}、I_{dlin} 减小而 V_{th} 绝对值增加. 这与界面态对三个参数的作用效果相同,两种机制相叠加,以致使 I_{dsat}、I_{dlin} 和 V_{th} 退化更加严重.

其余不同栅压下 pMOS 不同参数的退化趋势如图 6、7 所示. 从图中可以看出,pMOS 器件 I_{dsat} 和 I_{dlin} 退化量均随着栅压的增大而增大,但是在 $V_{gs}=-2.5V$ 时出现了一个小的转折.

根据前面的分析我们知道,低栅压应力下 pMOS 退化量小是因为电子注入表现出与界面态相反的作用效果,高栅压应力下 pMOS 退化量大是因为空穴注入表现出与界面态相同的作用效果. 所以电荷注入(纵向电场方向的变化)是引起退化变化的主要原因,如图 8 所示,我们仿真了不同栅压下的电场,得出纵向电场随栅压的增加而逐渐由指向体内转变为指向栅氧层,在 $V_{gs}=-2.5V$ 时纵向电场几乎为零.

由前面分析可知,在低栅压时器件沟道末端存在热电子注入栅氧化层,随着栅压的增加,正向的垂直电场强度逐渐减弱,从而电子注入逐渐减少,当 $V_{gs}=-2.5V$时,垂直电场强度很小,载流子注入可以忽略,退化主要来自界面态的影响. 考虑到衬底电流 I_{sub} 的大小可反映器件碰撞电离率的大小,由图 9 所示的 $I_{sub}-V_{gs}$ 曲线可以看出,$V_{gs}=-2.4V$ 时的碰撞电离率大于 $V_{gs}=-2.5V$ 时的碰撞电离率,所以前者中界面态产生量大于后者,则前者电流退化量应大于后者,这与图 6、7 中退化现象相符,即 $V_{gs}=-2.4V$ 的 I_{dsat} 和 I_{dlin} 退化量

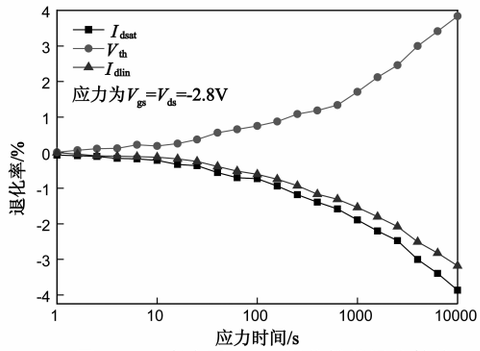


图4 V_{gmax}应力下pMOS退化性能退化趋势

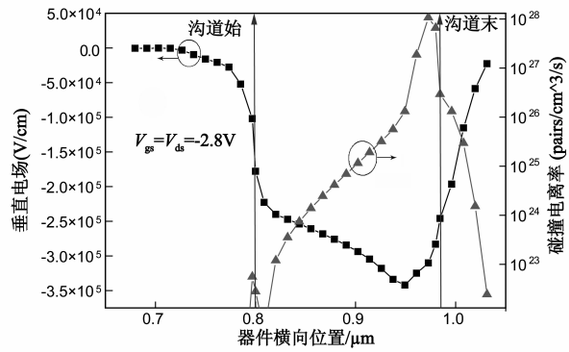


图5 V_{gmax}应力时pMOS碰撞电离和垂直电场分布图

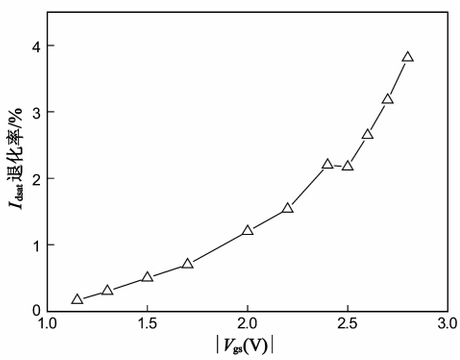


图6 不同栅压应力下I_{dsat}退化趋势

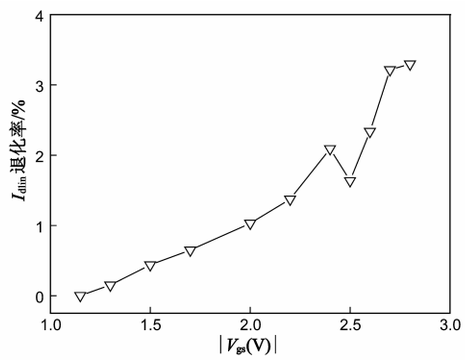


图7 不同栅压应力下I_{dlin}退化趋势

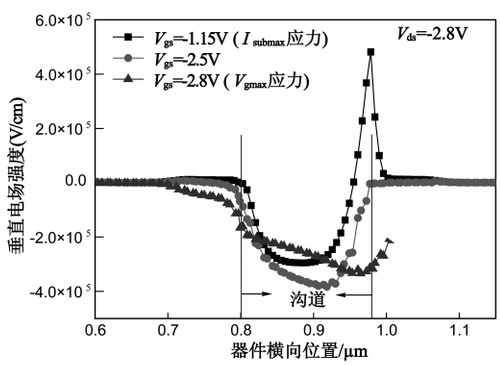


图8 垂直电场随栅压变化情况

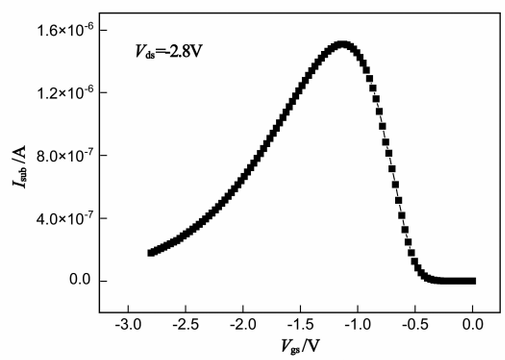


图9 pMOS的I_{sub}-V_{gs}曲线(@V_{ds}=-2.8V)

大于 $V_{gs}=-2.5V$ 时的退化量. 随着栅压继续增加到 $-2.6V$,碰撞电离率继续减小,垂直电场向负向变化,使空穴注入栅氧层,并与界面态的作用相叠加,使得 $V_{gs}=-2.6V$时 I_{dsat}和 I_{dlin}退化量大于 $V_{gs}=-2.5V$ 时电流退化量,从而出现 $V_{gs}=-2.5V$ 时的退化转折现象.

4　电流正反向退化讨论

pMOS 器件是对称结构的,它经常会工作于双向导通模式,因此对器件正反向电参数热载流子退化的研究显得尤为重要. 这里我们选择了器件电流能力作为研究对象.

实验过程中我们发现,器件的反向 I_{dsat}退化比正向 I_{dsat}退化大,而反向 I_{dlin}的退化与正向 I_{dlin}退化相同. 以 V_{gmax}条件下的退化为例,其退化结果如图 10 和图 11 所示. 应力退化实验过程中监测正反向 I_{dsat}和 I_{dlin}退化情况,可见,反向 I_{dsat}比正向 I_{dsat}退化严重,而反向 I_{dlin}与正向 I_{dlin}退化相同.

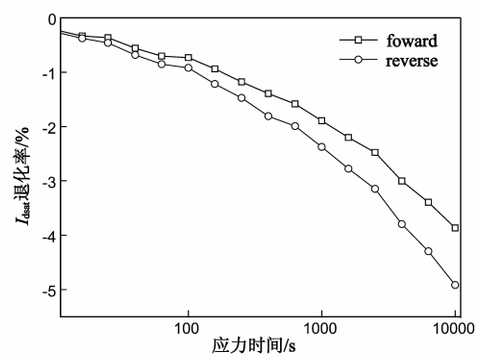


图10　V_{gmax}应力时I_{dsat}正反向退化

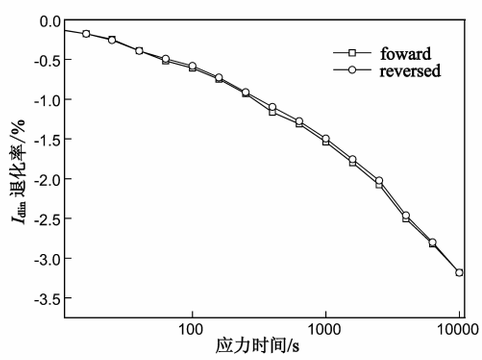


图11　V_{gmax}应力时I_{dlin}正反向退化

为了理解上述退化现象,我们对 I_{dsat}和 I_{dlin}两种模式时整个沟道内的空穴迁移率进行了仿真,结果如图 12 所示.

空穴有效迁移率因热载流子效应而发生变化,根据散射概率叠加的原理,沟道末端存在界面态后空穴的最终有效迁移率可表示为:

$$\frac{1}{\mu_{h\text{-}eff}}=\frac{1}{\mu_{h\text{-}nonii}}+\frac{1}{\mu_{h\text{-}ii}} \tag{1}$$

其中 $\mu_{h\text{-}eff}$为空穴最终有效迁移率,$\mu_{h\text{-}nonii}$为空穴未受界面态影响的原始效迁移率,$\mu_{h\text{-}ii}$为受界面态影响的空穴迁移率.

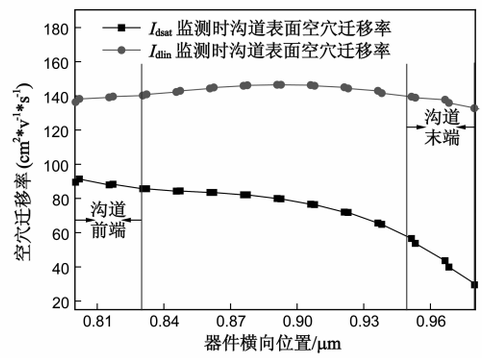


图12　不同电流监测模式时,空穴迁移率分布图

则由于界面态,空穴有效迁移率的变化百分比为:

$$\left|\frac{\Delta\mu}{\mu_{h\text{-}nonii}}\right|=\left|\frac{1}{1+\dfrac{\mu_{h\text{-}ii}}{\mu_{h\text{-}nonii}}}\right| \tag{2}$$

其中,

$$\Delta\mu=\mu_{eff}-\mu_{h\text{-}nonii} \tag{3}$$

根据式(2)我们知道,空穴原有效迁移率 $\mu_{h\text{-}nonii}$越大,其最终有效迁移率 $\mu_{h\text{-}eff}$就越容易受界面态影响. 由图 12 可知,正向 I_{dsat}监测模式时沟道前端(如图 1 所示,靠近源端的一侧)的空穴迁移率大于沟道末端(靠近漏端一侧)空穴迁移率较多,且我们知道 I_{dsat}正向监测模式时,界面态位于沟道末端,I_{dsat}反向监测模式时,界面态相当于位于沟道前端(反向监测时器件源极,漏极,沟道前端和沟道末端的位置不变),所以,界面态对反向 I_{dsat}影响较为严重,导致器件的反向 I_{dsat}退化较为严重. 然而在 I_{dlin}条件下,整个沟道内空穴的迁移率变化不大,所以界面态对其影响程度相同,以致使正反向 I_{dlin}退化几乎相同.

5　结论

本文详细研究了不同栅压应力条件下 1.8V pMOS 热载流子退化,研究发现 pMOS 在 I_{submax}应力下沟道末端存在具有相反作用效果的热电子注入与界面态产生两种机制,导致器件退化量较小;在 V_{gmax}应力下,空穴注入与界面态作用效果相叠加使得 pMOS 退化量较大. 随着栅压的增加,注入电荷发生变化,pMOS 的退化量逐渐增加,但在 $V_{gs}=-2.5V$ 时因可以忽略载流子注入造成的影响,器件退化出现转折. 此外,研究还发现,由于界面态对非夹断区空穴迁移率比夹断区空穴迁移率影响大,以致器件的反向 I_{dsat}退化比正向 I_{dsat}退化大,而对于 I_{dlin},界面态对整个沟道内空穴迁移率影响几乎相

同,所以反向 I_{dlin} 与正向 I_{dlin} 退化相同. 本文揭示了小尺寸 pMOS 不同栅压应力下的热载流子退化机理,为其热载流子退化应力条件的选取和热载流子退化寿命模型的建立提供了支持与参考.

参考文献

[1] Joly Y, Lopez L, Portal J M, et al. Matching degradation of threshold voltage and gate voltage of NMOSFET after hot carrier injection stress [J]. Microelectronics Reliability, 2011, 51(9): 1561 – 1563.

[2] Bravaix A, Huard V, Goguenheim D, et al. Hot-carrier to cold-carrier device lifetime modeling with temperature for low power 40nm Si-bulk NMOS and PMOS FETs[A]. IEEE Conference Publications[C]. Washington: 2011. 27. 5. 1 – 27. 5. 4.

[3] Huang L X, An X, Tan F, et al. Investigation on channel hot carrier degradation of ultra deep submicron SOI pMOSFETs[A]. IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)[C]. Washington: 2012. 1 – 3.

[4] Song Z, Chen Z, Yong A Z, et al. The failure mechanism worst stress condition for hot carrier injection of NMOS [J]. ECS Transactions, 2013, 52(1): 947 – 952.

[5] Song Z, Chen Z, Yong A Z, et al. The failure mechanism worst stress condition for hot carrier injection of NMOS [J]. The Electrochemical Society (ECS) Transactions, 2013, 52(1): 947 – 952.

[6] Cho M, Roussel P, Kaczer B, et al. Channelhot carrier degradation mechanism in long/short channel n-FinFETs[J]. IEEE Trans on Electron Devices, 2013, 60(12): 4002 – 4007.

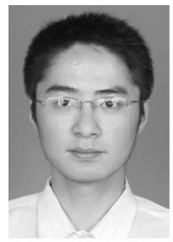
[7] Antoniou M, Udrea F, Tee E K C, et al. Interface charge trapping and hot carrier reliability in high voltage SOI SJ LDMOSFET[A]. Power Semiconductor Devices and ICs (ISPSD)[C]. Washington, 2011. 336 – 339.

[8] Keane J, Kim T H, Kim C H. An on-chip NBTI sensor for measuring PMOS threshold voltage degradation [J]. IEEE Trans. on Very Large Scale Integration (VLSI) Systems, 2010, 18(6): 947 – 956.

[9] Magnone P, Crupi F, Wils N, et al. Impact ofhot carriers on nMOSFET variability in 45-and 65 – nm CMOS technologies[J]. Electron Devices, IEEE Transactions on, 2011, 58 (8): 2347 – 2353.

[10] Kim T H, Yu C G, Park J T. Concurrent NBTI andhot – carrier degradation in p – channel MuGFETs[J]. IEEE Electron Device Letters, 2011, 32(3): 294-296.

作者简介



刘斯扬 男,1987 年生于安徽合肥. 东南大学电子科学与技术学院博士. 研究方向为功率集成电路可靠性.

于朝辉 女,1988 年生于河北石家庄. 东南大学集成电路学院研究生. 研究方向为功率半导体器件可靠性.

孙伟锋(通信作者) 男,1977 年生,江苏人. 博士生导师,本科、硕士、博士均就读于东南大学. 主要研究方向包括新型功率器件设计、功率集成电路、功率器件模型和射频器件设计.
E-mail: swffrog@ seu. edu. cn